

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representation of  
The original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DERWENT-ACC-NO: 1999-214108  
DERWENT-WEEK: 199945  
COPYRIGHT 2003 DERWENT INFORMATION LTD

*ref #1*

TITLE: Forming an opening in a semiconductor device

INVENTOR: IBA, J

PRIORITY-DATA: 1997US-0989859 (December 12, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
US 5883006 A	March 16, 1999		013	H01L021/00
JP 11233618 A	August 27, 1999		009	H01L021/76

INT-CL (IPC): H01 L 21/00; H01 L 21/76; H01 L 21/768

ABSTRACTED-PUB-NO: US 5883006A

BASIC-ABSTRACT:

NOVELTY - Openings are formed in semiconductor device films for interconnects and isolation trenches using a tetraethylorthosilicate film (106) and a flowable oxide film (116) which are first etched at the same rate and etched in a second step which selectively removes the flowable film.

DETAILED DESCRIPTION - A method of forming an opening having two portions in an insulating film (106) comprises forming a first opening, forming a second film (116) on the first and the opening, forming a masking film and etching to form the second opening portion, both films being etched at the same rate. A second etch then removes the remainder of the second film in the opening and etches the second film more rapidly than the first film.

INDEPENDENT CLAIMS are also included for the following: (a) a method of forming an interconnect as above; and (b) a method of forming shallow trench isolation as above using a flowable oxide film.

USE - In forming openings in insulating films for interconnects and shallow trench isolation in semiconductor devices (claimed)

ADVANTAGE - The flowable oxide films permits a thin resist film to be used, enhancing lithographic performance and preventing spikes and voids.

DESCRIPTION OF DRAWING(S) - A cross-section of the opening is shown.

TEOS film 106

Flowable oxide film 116

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233618

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 21/76  
H01L 21/768

(21)Application number : 10-345630

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.12.1998

(72)Inventor : IBA JUNICHIRO

(30)Priority

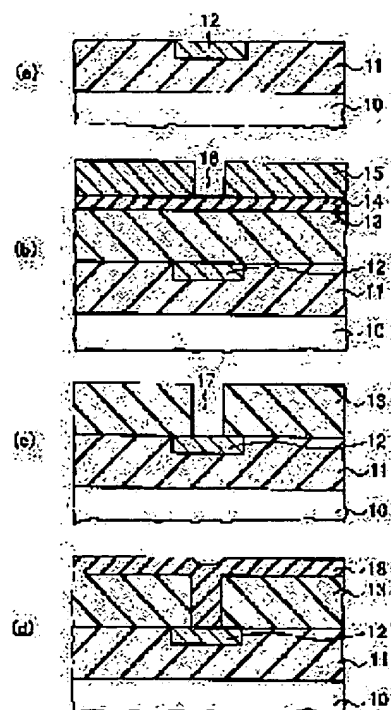
Priority number : 97 989859 Priority date : 12.12.1997 Priority country : US

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To form a first opening like a contact hole in a first insulation film and a second opening like a trench wider than the first opening without adversely affecting on a lithographic treatment.

**SOLUTION:** A contact hole 17 is formed in a second insulating film 13. A fluid oxide film 18 is formed on the second insulating film 13 to fill the contact hole 17 through fluid characteristics of the oxide film 18. An ARC film and a resist film are formed on the second film 13. With a mask of the resist film, a trench is formed by etching the second insulating film 13 and the ARC film under etching conditions for etching the second insulating film 13 and the ARC film at almost the same etching speed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]



[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-233618

(43)公開日 平成11年(1999) 8月27日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/76  
21/768

識別記号

F I

H 0 1 L 21/76  
21/90

L  
A

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21)出願番号 特願平10-345630

(22)出願日 平成10年(1998)12月4日

(31)優先権主張番号 9 8 9 8 5 9

(32)優先日 1997年12月12日

(33)優先権主張国 米国 (U S)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 井場 淳一郎

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

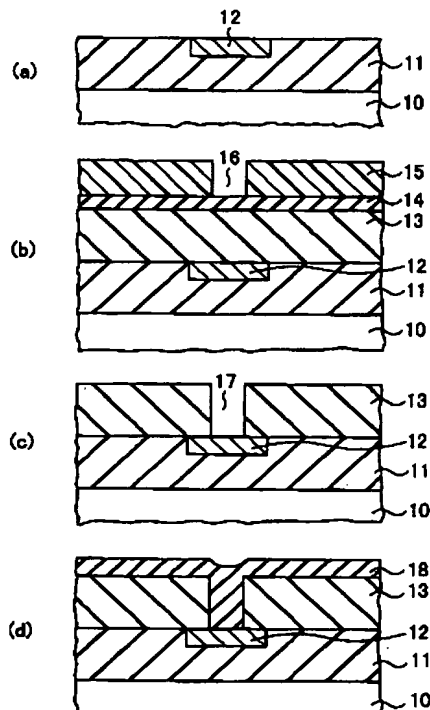
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】絶縁膜からなる第1の膜にコンタクト孔のような第1の開口部分とそれより幅の広いトレンチのような第2の開口部分を、リソグラフ処理に悪影響を与えないように形成する。

【解決手段】第2の絶縁膜13にコンタクト孔17を形成し、第2の絶縁膜13上に流動可能な酸化膜18を形成して流動化によりコンタクト孔17を充填し、第2の膜13上にARC膜及びレジスト膜を形成し、レジスト膜をマスクとして第2の絶縁膜13及びARC膜がほぼ同じ速度でエッチングされる条件のエッチングプロセスによって第2の絶縁膜13及びARC膜をエッチングしてトレンチを形成する。



## 【特許請求の範囲】

【請求項 1】 絶縁膜からなる第 1 の膜に第 1 の開口部を形成し、

上記第 1 の膜の上部に第 2 の膜を形成して上記第 1 の開口部を充填し、

上記第 2 の膜上にマスク層を形成し、

上記マスク層をマスクとして使用して上記第 1 及び第 2 の膜がほぼ同じ速度でエッチングされる条件の第 1 のエッチングプロセスによって上記第 1 の膜及び第 2 の膜をエッチングして上記第 1 の膜に第 2 の開口部を形成し、  
上記第 1 の開口部において上記第 2 の膜が上記第 1 の膜よりも速い速度でエッチングされる条件の第 2 のエッチングプロセスによって上記第 2 の膜の残りの部分をエッチング除去することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 の膜が T E O S 膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 2 の膜が流動可能な酸化膜 (flowable oxide) であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記第 1 のエッチングプロセスが反応性イオンエッチング (R I E) プロセスであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の開口部及び第 2 の開口部の一方がコンタクト孔であり、他方がトレンチであり、上記トレンチの幅が上記コンタクト孔の幅よりも広く形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 絶縁膜からなる第 1 の膜に第 1 の開口部を形成し、

上記第 1 の膜の上部に第 2 の膜を形成して上記第 1 の開口部を充填し、

上記第 2 の膜上にマスク層を形成し、

上記マスク層をマスクとして使用して上記第 1 及び第 2 の膜がほぼ同じ速度でエッチングされる条件の第 1 のエッチングプロセスによって上記第 1 の膜及び第 2 の膜をエッチングして第 2 の開口部を形成し、

上記第 2 の膜が上記第 1 の膜のエッチング速度よりも速い速度でエッチングされる条件の第 2 のエッチングプロセスによって上記第 1 の開口部における上記第 2 の膜の残りの部分をエッチングし、

上記第 1 及び第 2 の開口部を導電材料で充填することを特徴とする半導体装置の製造方法。

【請求項 7】 隣接した深いトレンチキャパシタを互いに分離するために半導体基板に浅いトレンチ分離構造を形成する半導体層装置の製造方法において、

1 以上のパッド膜の上部に流動可能な酸化膜を形成して、上記 1 以上のパッド膜中に形成されて上記深いトレンチキャパシタの上部表面の少なくとも 1 部分を露出する開口を充填し、

上記流動可能な酸化膜上にパターン化されたレジスト膜を形成し、

上記レジスト膜をマスクとして使用して上記流動可能な酸化膜をエッチングし、

上記レジスト膜をマスクとして使用して上記 1 以上のパッド膜、上記半導体基板及び上記深いトレンチキャパシタをエッチングして浅いトレンチを形成し、その際に、エッチングされた流動可能な酸化膜の残っている部分をマスクとして使用し、

10 上記浅いトレンチを絶縁材料で充填することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、一般に開口部を形成する工程を含む半導体装置の製造方法に係り、特に上記開口部内に流動可能な酸化膜を充填した後に新たな開口部を形成するようにした半導体装置の製造方法に関する。

## 【0002】

20 【従来の技術】 半導体装置における金属配線及びコンタクトを形成するために種々のプロセスが開発されている。一例として、金属膜を形成し、その後、選択エッチングして金属配線を形成するプロセスがある。他の例として、いわゆるダマシンプロセス (damascene process) がある。このダマシンプロセスは、トレンチあるいは開口を絶縁膜中に形成し、次に導電材料を充填し、その後、導電材料を平坦化するプロセスである。

30 【0003】 ダマシンプロセスの一種である二重ダマシンプロセス (dual damascene process) は、導電コンタクトと導電配線とを同時に製造するプロセスを含んでいる。特に、二重ダマシンプロセスにおいて、コンタクト孔は T E O S 膜等の絶縁膜中に形成され、その後、コンタクト孔の上部部分を広げることによって配線のためのトレンチが絶縁膜中に形成される。次に導電性材料が絶縁膜上に形成され、コンタクト孔及びトレンチが充填される。形成された導電性材料はその後、絶縁膜をストップとして使用して化学的機械的研磨 (CMP) 等の平坦化プロセスによって平坦化される。

40 【0004】 このような二重ダマシンプロセスによって、プロセスの工程の数が減少し、導電コンタクトと導電配線とが直に接続される。

【0005】 図 7 (a) ~ (d) は、従来の二重ダマシンプロセスにおける幾つかの工程を示す断面図である。

【0006】 図 7 (a) に示すように、T E O S 膜等からなる絶縁膜 5 0 中にコンタクト孔 5 1 を形成し、絶縁膜 5 0 の下部に設けられた絶縁層 5 2 中に形成された導電配線 5 3 の上部表面の一部分をこのコンタクト孔 5 1 から露出させる。

50 【0007】 次に、図 7 (b) に示すように、全面に反射防止被覆 (antireflective coating: A R C) 膜 (以



下、ARC膜と称する)54を堆積し、さらにレジスト膜55をARC膜54上に形成する。図7(b)からわかるように、コンタクト孔51の形成によって生じたARC膜54の上部表面の凹凸状態のために、レジスト膜55の厚さは不均一となる。

【0008】次に、図示しないパターンマスクを用いてレジスト膜55に対し選択的に露光を行い、その後、現像処理を行って、図7(c)に示すように、上記コンタクト孔51を含みこのコンタクト孔51よりも広い部分に開口56を有するようにレジスト膜55をパターン化する。

【0009】その後、パターン化された上記レジスト膜55をマスクとして使用してARC膜54及び絶縁膜50を反応性イオンエッチング(RIE)プロセスによりエッチングし、図7(d)に示すようにトレンチ57を形成する。

#### 【0010】

【発明が解決しようとする課題】ここで、ARC膜54と絶縁膜50とは異なるエッチング速度を有しており、RIEプロセス中にARC膜54が絶縁膜50よりも速い速度でエッチングされる場合には、導電配線53が損傷を受ける。

【0011】反対に、RIEプロセスの間に、ARC膜54が絶縁膜50よりも遅い速度でエッチングされる場合、RIEプロセスの後には、図7(d)に示されるように、残存したARC膜54の界面付近で一部が突出し、その他の部分ではARC膜54よりも高さが低い形状に絶縁膜50が残る。そのため、残存したレジスト膜55及びARC膜54を除去した後は、先のコンタクト孔51とトレンチ57との境界に隣接した絶縁膜50にスパイク部分58が残る。

【0012】この後は、例えば窒化チタン等の接着/バリア膜を、絶縁膜50の表面上とコンタクト孔51並びにトレンチ57の側壁上及び底部壁上に形成する。

【0013】しかし、絶縁膜50のスパイク部分58では接着/バリア膜が不均一に形成され、ある領域では全く形成されなくなる。接着/バリア膜の形成後にタングステン等の導電材料をコンタクト孔51及びトレンチ57内に形成するが、この導電材料の形成工程において、接着/バリア層が存在していない領域ではタングステン中に空隙が生じる可能性がある。これによってタングステンが不連続になり、タングステンによって構成されるコンタクト及び配線の抵抗が増加する。

【0014】さらに、図7(b)の工程の際に、レジスト膜55の厚さが不均一となるために、リソグラフィプロセスが悪影響を受け、高度に正確な寸法を有するトレンチを形成することが困難になる。これは、ARC膜54の形成を省略し、レジスト膜55を絶縁膜50の上部に形成してコンタクト孔51を充填する場合にも同様の問題が生じる。

【0015】この発明は上記のような事情を考慮してなされたものであり、その目的は、トレンチを形成する際に如何なる層に対しても損傷を与えず、コンタクト孔及びトレンチ内に形成される導電材料からなる層の不連続性を防止して、導電材料によって構成されるコンタクト及び配線の抵抗の増加を抑制することができる半導体装置の製造方法を提供することにある。

【0016】この発明の他の目的は、ほぼ均一で比較的薄い厚さを有するマスク層を用いてリソグラフィプロセスを行うことができ、これによりリソグラフィプロセスを高精度に行うことができる半導体装置の製造方法を提供することにある。

#### 【0017】

【課題を解決するための手段】本発明によれば、絶縁膜からなる第1の膜に第1の開口部を形成し、上記第1の膜の上部に第2の膜を形成して上記第1の開口部を充填し、上記第2の膜上にマスク層を形成し、上記マスク層をマスクとして使用して上記第1及び第2の膜がほぼ同じ速度でエッチングされる条件の第1のエッチングプロセスによって上記第1の膜及び第2の膜をエッチングして上記第1の膜に第2の開口部を形成し、上記第1の開口部において上記第2の膜が上記第1の膜よりも速い速度でエッチングされる条件の第2のエッチングプロセスによって上記第2の膜の残りの部分をエッチング除去する半導体装置の製造方法が提供されている。

【0018】本発明によれば、絶縁膜からなる第1の膜に第1の開口部を形成し、上記第1の膜の上部に第2の膜を形成して上記第1の開口部を充填し、上記第2の膜上にマスク層を形成し、上記マスク層をマスクとして使用して上記第1及び第2の膜がほぼ同じ速度でエッチングされる条件の第1のエッチングプロセスによって上記第1の膜及び第2の膜をエッチングして第2の開口部を形成し、上記第2の膜が上記第1の膜のエッチング速度よりも速い速度でエッチングされる条件の第2のエッチングプロセスによって上記第1の開口部における上記第2の膜の残りの部分をエッチングし、上記第1及び第2の開口部を導電材料で充填する半導体装置の製造方法が提供されている。

【0019】本発明によれば、隣接した深いトレンチキャパシタを互いに分離するために半導体基板に浅いトレンチ分離構造を形成する半導体層装置の製造方法において、1以上のパッド膜の上部に流動可能な酸化膜を形成して、上記1以上のパッド膜中に形成されて上記深いトレンチキャパシタの上部表面の少なくとも1部分を露出する開口を充填し、上記流動可能な酸化膜上にパターン化されたレジスト膜を形成し、上記レジスト膜をマスクとして使用して上記流動可能な酸化膜をエッチングし、上記レジスト膜をマスクとして使用して上記1以上のパッド膜、上記半導体基板及び上記深いトレンチキャパシタをエッチングして浅いトレンチを形成し、その際に、



エッチングされた流動可能な酸化膜の残っている部分をマスクとして使用し、上記浅いトレンチを絶縁材料で充填する半導体装置の製造方法が提供されている。

【0020】この発明の半導体装置の製造方法によれば、流動可能な酸化膜によってほぼ均一な厚さを有するレジストを使用することができる。さらに、流動可能な酸化膜はエッチングマスクとして機能するため、比較的薄いレジストを使用でき、それによってリソグラフィプロセスを高精度に行うことができる。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の半導体装置の製造方法を実施の形態により説明する。

【0022】図1(a)～(d)、図2(a)、(b)及び図3(a)、(b)はこの発明を二重ダマシンプロセスに実施した場合の工程を示す断面図である。

【0023】図1(a)に示すように、絶縁材料、導電材料あるいは半導電材料で構成された基板10上に、二酸化シリコン( $\text{SiO}_2$ )、ボロフォスフォシリケートガラス(BPSG)、フォスフォシリケートガラス(PSG)、窒化シリコン( $\text{Si}_3\text{N}_4$ )、あるいはその他の絶縁材料からなる第1の絶縁膜11を形成し、さらに、ダマシンプロセスによって第1の絶縁膜11中に導電配線12を形成する。この導電配線12は、例えばタングステン(W)によって構成されており、約200nmの厚さと約300nmの幅とを有している。

【0024】上記導電配線12はダマシンプロセスに従って次のように形成される。すなわち、通常のリソグラフィプロセスを使用して第1の絶縁膜11に開口部を形成し、それに続いて反応性イオンエッチングを行う。次にタングステンをスパッタリングあるいは化学的気相成長(CVD)によって堆積し、CMPプロセスによって平坦化する。この平坦化の際に、第1の絶縁膜11はCMPプロセスに対するストップとして使用される。また、必要ならば、例えば窒化チタン等の接着/バリア膜をタングステンの堆積の前に形成してもよい。

【0025】次に、図1(b)に示すように、第2の絶縁膜13を第1の絶縁膜11上に形成する。この第2の絶縁膜13は、約1100nmの厚さを有しており、例えば低圧化学的気相成長(LPCVD)あるいはプラズマ増強化学的気相成長(PECVD)によって形成されたTEOS膜である。続いて、「Shipley社」から入手可能であり、約45nmの厚さを有している「BARL」等の反射防止被覆膜(ARC膜)14を、第2の絶縁膜13上に形成する。このARC膜14は、次の工程においてARC膜14上に形成される放射線感知膜を露光するために使用する放射線の反射を減少する目的で設けられる。

【0026】次に、放射線感知膜、例えばフォトレジスト等のレジスト膜15をARC膜14上に形成する。このレジスト膜15は約850nmの厚さを有し、例えば

「Shipley社」から入手可能な「APEX-E」あるいは「UV2HS」等が使用可能である。さらに、上記レジスト膜15としては、例えば化学的増幅レジスト、非化学的増幅レジスト、ポジ型レジスト、あるいはネガ型レジスト等を含む種々のタイプのレジスト膜が使用可能である。

【0027】次に、レジスト膜15に対し、図示しないマスクを使用して露光を行い、その後、レジスト膜15中にパターンを定めるように現像する。現像後、レジスト膜15のパターンは開口部16を含む。この露光プロセスの際に、例えば「SVG社」から入手可能な「Miracscan II」、あるいは「ニコン社」から入手可能な「NSR-S201A」などが露光装置として使用される。また、最近のより進歩したリソグラフ技術で使用される、193nmの単一帯域を有するArFエキシマレーザを使用してもよい。

【0028】次に、図1(c)に示すように、パターン化されたレジスト膜15をマスクとして使用したRIEプロセスによってARC膜14及び第2の絶縁膜13をエッチングし、導電配線12の少なくとも一部分が露出するようにコンタクト孔17を絶縁膜13に形成する。このRIEプロセスの際に、ARC膜14は、例えば $\text{O}_2$ ガスあるいは $\text{O}_2$ と $\text{CF}_4$ の混合ガスを使用してエッチングする。また、TEOS膜からなる絶縁膜13は、例えば、 $\text{CF}_4$ ガスあるいは $\text{CHF}_3$ あるいは $\text{C}_4\text{F}_8$ 等のいくつかの別の $\text{CF}_4$ タイプのガスを使用してエッチングする。コンタクト孔17の形成後に、レジスト膜15及び残りのARC膜14を除去する。

【0029】次に、図1(d)に示すように、「Dow Corning社」より入手可能な「FOX」等の流動可能な酸化膜18を絶縁膜13上部に形成し、コンタクト孔17を充填する。ここで、絶縁膜13の上部表面上の酸化膜18の厚さは約0.1 $\mu\text{m}$ である。例えば、米国特許第5,530,293号及び第5,085,893号明細書に記載されているように、流動可能な酸化物は、炭素を含まない $\text{SiO}_2$ の前駆物質である水素シルセスキオキサン(hydrogen silsequioxanes)から得られる。これらの流動可能な酸化物は次の式によって表すことができる。

【0030】 $(\text{HSi}(\text{OH})_x\text{O}_{3-x/2})_n$

ここで、nは約8よりも大きい整数であり、xは0と2の間の数である。

【0031】この発明の方法での使用に好適な流動可能な酸化膜は、溶媒がメチルイソブチルケトン(MIBK)であり、シラノールの含有量が膜の所望の厚さに応じて約0.1乃至20重量パーセントであるようなものである。例えば、シラノール含有量は、0.1 $\mu\text{m}$ の厚さを有する膜に対して約5重量%である。

【0032】上記流動可能な酸化膜18は室温でスピコートによって形成し、その後焼成する。焼成は溶媒を蒸発させるために150℃で1分間行い、その後、流動

可能な酸化膜 18 をリフローするために 200℃ で 1 分間、次に 350℃ で 1 分間焼成する。このときの焼成は空気中あるいは窒素中で行われる。以下に説明する理由のために、流動可能な酸化膜 18 の表面部分の溶媒を完全に蒸発させることを確実にするために、焼成プロセスに加えてプラズマ O<sub>2</sub> 灰化プロセス等の表面硬化処理を約 200℃ の温度で行ってもよい。

【0033】次に、図 2 (a) に示すように、先に述べた BARL のような反射防止被覆膜 (ARC 膜) 19 を流動可能な酸化膜 18 上に形成する。このとき、ARC 膜 19 の溶媒と、流動可能な酸化膜 18 の溶媒との混合を避けることが望ましい。上述した流動可能な酸化膜 18 の焼成及び灰化処理は、任意の溶媒の混合を防ぐために少なくとも流動可能な酸化膜 18 の表面において流動可能な酸化膜 18 の溶媒を蒸発するために役立つ。流動可能な酸化膜 18 の焼成及び灰化処理の代りに、流動可能な酸化膜 18 の溶媒と混合しない溶媒を使用する ARC 膜 19 を用いてもよい。

【0034】続いて、上述の「APEX-E」あるいは「UV2HS」レジストのような放射線感知膜、例えばフォトリソレジスト等のレジスト膜 20 を RC 膜 19 上に約 850 nm の厚さに形成する。上記レジスト膜 20 としては、例えば化学的増幅レジスト、非化学的増幅レジスト、ポジ型レジスト、あるいはネガ型レジスト等を含む種々のタイプのレジスト膜が使用可能である。

【0035】ここで、流動可能な酸化膜 18 を形成し、リフローを行うことによって、レジスト膜 20 はほぼ均一な厚さで形成され、これによってリソグラフィプロセスの性能を改善することができる。上記レジスト膜 20 に対して、図示しないマスクを使用して露光を行い、レジスト膜 20 中にパターンを定めるように現像する。現像後、レジスト膜 20 のパターンは開口部 21 を含む。

【0036】次に、上記レジスト膜 20 をマスクに用いた反応性イオンエッチングプロセス (RIE) 等のエッチングプロセスより、ARC 膜 19、流動可能な酸化膜 18 及び第 2 の絶縁膜 13 をエッチングして、図 2

(b) に示すようにトレンチ 22 を形成する。ここで、ARC 膜 19 は、例えば O<sub>2</sub> ガスあるいは O<sub>2</sub> - CF<sub>4</sub> 混合ガスを使用してエッチングし、流動可能な酸化膜 18 及び第 2 の絶縁膜 13 は、例えば CF<sub>4</sub> ガス、または CHF<sub>3</sub> あるいは C<sub>4</sub> F<sub>8</sub> 等の別の CF<sub>4</sub> タイプのガスを使用してエッチングする。このエッチングプロセス中に、流動可能な酸化膜 18 及び第 2 の絶縁膜 13 はほぼ同じ速度でエッチングされる。従って、従来のような第 2 の絶縁膜 13 のスパイク部分が形成されることがなく、導電配線 12 も損傷されない。

【0037】次に、図 3 (a) に示すように、レジスト膜 20 及び ARC 膜 19 の残りの部分を除去する。この時、流動可能な酸化膜 18 は第 2 の絶縁膜 13 の上部表面上及びコンタクト孔 17 中に残る。その後、この残り

の流動可能な酸化膜 18 を、例えばレジスト現像液、または NH<sub>3</sub> OH あるいはテトラメチルアンモニウム水酸化物 (TMAH) 等のアンモニアベースの液体等のアルカリを使用して除去する。この場合、HF ベースの酸あるいは希釈された HF ベースの酸等の弱酸を使用してもよい。これに限らず、残存している流動可能な酸化膜 18 を除去するために使用されるプロセスはどのようなものであっても、そのプロセスは流動可能な酸化膜を除去するために非常に高い選択性 (例えば 100 程度の選択性) を有する必要がある。この方法において、流動可能な酸化膜 18 は、TEOS 膜からなる第 2 の絶縁膜 13 に損傷を与えずに容易に取除くことができる。

【0038】次に、第 2 の絶縁膜 13 の上部表面、トレンチ 22 の側壁及び底部壁上、並びにコンタクト孔 17 上に、例えばスパッタリングによって窒化チタン等の接着/バリア層 23 を形成する。次に、例えばスパッタリングあるいはプラズマ CVD プロセスにより、第 2 の絶縁膜 13 の上部表面上に導電材料例えばタングステンを堆積し、コンタクト孔 17 及びトレンチ 22 を充填することによってタングステン層 24 を形成する。

【0039】次に、図 3 (b) に示すように、第 2 の絶縁膜 13 をストップとして使用して、上記接着/バリア層 23 及びタングステン層を化学的機械的研磨 (CMP) 等の平坦化プロセスによって研磨し、平坦化する。これによってコンタクト及び金属配線が同時に形成される。

【0040】このように上記実施の形態による方法では、第 2 の絶縁膜 13 にコンタクト孔 17 を形成した後に流動可能な酸化膜 18 を形成し、コンタクト孔 17 を充填するようにしたので、この流動可能な酸化膜 18 及びその上に形成される ARC 膜 19 の膜厚を一樣にすることができる。また、エッチングの際に、流動可能な酸化膜 18 と ARC 膜 19 はほぼ同じ速度でエッチングされるので、従来のように第 2 の絶縁膜 13 にスパイク部分が形成されることがなく、導電配線 12 も損傷されることがない。

【0041】また、上記のようにスパイク部分が形成されないので、接着/バリア層 23 を一樣の厚さに形成することができる。従って、この後に、タングステンを堆積してコンタクト孔 17 及びトレンチ 22 を形成する際に、空隙を生じないでタングステン層 24 を形成することができ、この結果、コンタクト及び配線の抵抗の増加を抑制することができる。

【0042】上記実施の形態による方法では、以下のような種々の変形が可能である。例えば、上記実施の形態ではコンタクト孔 17 を形成した後にトレンチ 22 を形成する場合を説明したが、これはコンタクト孔 17 を形成する前にトレンチ 22 を形成してもよい。このようにした場合、コンタクト孔 17 の開口が狭いと、結果的にコンタクト孔の開口上に形成される流動可能な酸化膜 1



8の膜厚の不均一性も小さくなるから、コンタクト孔を最初に形成することによって平坦度が改良される。

【0043】さらに、上記実施の形態ではARC膜19を形成する場合について説明したが、このARC膜19の形成を省略してもよい。

【0044】さらに、上記実施の形態では流動可能な酸化膜として、炭素を含まない $\text{SiO}_2$ の前駆物質である水素シルセスキオキサン(hydrogen silsequioxanes)から得られる「FOX」を用いる場合を説明したが、これはそれに限定されるものではなく、トレンチ22を形成するためのエッチングプロセス中には周囲の材料とほぼ同じエッチング速度を有し、また、残りの部分を取除くためのエッチングプロセス中には周囲の材料よりも速いエッチング速度を有する別の膜を使用してもよい。

【0045】次に、プロセス中に流動可能な酸化膜を使用する、この発明の他の実施の形態について説明する。この実施の形態は、この発明の方法を256Mビットのダイナミック・ランダム・アクセス・メモリ(DRAM)におけるメモリセルの製造に実施したものである。このようなメモリセルの構造は、例えば、「Nesbit」等による文献「A 0.6  $\mu\text{m}^2$  256Mb Trench DRAM Cell With Self-Aligned Buried Strap(BEST)」、(IEDM 1993, pp. 627-630)に記載されている。これに記載されたメモリセルは深いトレンチキャパシタ及び伝送ゲートを有し、浅いトレンチ分離構造によって他のメモリセルから分離されている活性領域中に形成される。

【0046】次に、このようなメモリセルを有するメモリの製造方法を図4(a)、(b)、図5(a)、(b)及び図6の断面図を参照して説明する。

【0047】複数のメモリセルを互いに分離するために浅いトレンチをエッチングするRIEプロセスの前に、まず、図4(a)に示すような構造を形成する。すなわち、半導体基板、例えばシリコン半導体基板30中に深いトレンチ31を形成する。このトレンチ31内には導電性のトレンチ充填剤32が充填される。このトレンチ充填剤32は図では単一のトレンチ充填材として示されているが、先の「Nesbit」等による文献に記載されているようにポリシリコンを含む種々のトレンチ充填材で構成してもよい。

【0048】また、上記トレンチ充填剤32は、記憶ノード(ストレージノード)絶縁膜33及びカラー酸化(カラーオキサイド)膜34によって半導体基板30から絶縁されている。

【0049】さらに、半導体基板30の表面上にはパッドシリコン酸化膜( $\text{SiO}_2$ 膜)35及びパッドシリコン窒化膜( $\text{Si}_3\text{N}_4$ 膜)36が形成され、このパッド酸化膜35及びパッドシリコン窒化膜36に対して開口部37が形成される。そして、この開口部37からトレンチ充填材32の上部表面が露出している。

【0050】次に、図4(b)に示すように、パッドシ

リコン窒化膜36の上部表面上に流動可能な酸化膜38を形成して、開口部37内を充填する。この場合、先の実施の形態の場合と同様に、室温でスピンコートによって形成し、その後焼成する。この焼成は溶媒を蒸発させるために150℃で1分間行い、その後、流動可能な酸化膜18をリフローするために200℃で1分間、次に350℃で1分間焼成する。このときの焼成は空気中あるいは窒素中で行われる。続いて、上記流動可能な酸化膜38上にARC膜39を形成し、さらにARC膜39上にレジスト膜40を形成する。

【0051】ここで、流動可能な酸化膜38を形成することによって、レジスト膜40はほぼ均一な厚さとなる。

【0052】次に、上記レジスト膜40に対して、浅いトレンチ分離構造を形成するためにマスクを使用して選択的に露光を行い、その後、図5(a)に示すように、パターン化されたレジストを残すように現像する。

【0053】次に、ARC膜39及び流動可能な酸化膜38をパターン化されたレジスト膜40をマスクとして使用してエッチングすることにより、図5(b)に示すような構造が残る。エッチングはARC膜39及び流動可能な酸化膜38に対しては選択的に行われる。このとき、パターン化されたレジスト膜40及びその下部のARC膜39の一部もしくは全部が除去される場合もある。

【0054】次に、図6に示すように、レジスト膜40が残っている場合にはこのレジスト膜40及びARC膜39をマスクとして使用して、RIEプロセスにより、パッドシリコン窒化膜36、パッドシリコン酸化膜35、基板30、トレンチ充填材32及びカラー酸化膜34をエッチングして浅いトレンチ41を形成する。

【0055】このエッチングの際に、レジスト膜40及びARC膜39が完全に除去された後、流動可能な酸化膜38が残る。特に、このエッチング中に、残っているレジスト膜40及びARC膜39が除去されることが好ましい。しかしながら、レジスト膜が取除かれた後でさえ、流動可能な酸化膜38はエッチングマスクとして機能する。その理由は、流動可能な酸化膜38のエッチング速度が、窒化シリコン(すなわち、パッドシリコン窒化膜36)、シリコン(すなわち、半導体基板30)及びポリシリコン(すなわち、トレンチ充填材32)のエッチング速度よりも遅いからである。

【0056】パッドシリコン酸化膜35及びカラー酸化膜34のエッチング速度と、流動可能な酸化膜38のエッチング速度は類似しているが、パッドシリコン酸化膜35及びカラー酸化膜34は非常に薄い膜であるため、図5(b)中に示される流動可能な酸化膜38をマスクとして使用する能力に著しく影響を与えることはない。流動可能な酸化膜38は、レジスト膜40が取除かれた後でさえマスクとして機能するので、リソグラフィ処理に



は比較的薄いレジストを使用することができ、これによりリソグラフィ性能が増強される。

【0057】図6に示した流動可能な酸化膜38の残存部分を除去した後は、浅いトレンチ41をTEOS等の絶縁体で充填し、これによって浅いトレンチ分離構造が形成される。

【0058】この実施の形態では、パッド酸化膜35及びパッドシリコン窒化膜36に対して開口部37を形成した後、パッドシリコン窒化膜36の上部表面上に流動可能な酸化膜38を形成して、開口部37内を充填するようにしたので、この流動可能な酸化膜38の上面はほぼ平坦面となり、その上に形成されるレジスト膜40の膜厚は一樣になる。さらに、流動可能な酸化膜38はエッチングマスクとして機能するため、比較的薄いレジスト膜40を使用することができ、この結果、リソグラフィプロセスを高精度で行うことができる。

【0059】

【発明の効果】以上説明したようにこの発明によれば、トレンチを形成する際に如何なる層に対しても損傷を与えず、コンタクト孔及びトレンチ内に形成される導電材料からなる層の不連続性を防止して、導電材料によって構成されるコンタクト及び配線の抵抗の増加を抑制することができる。

【0060】また、この発明にあつては、ほぼ均一で比較的薄い厚さを有するマスク層を用いてリソグラフィプロセスを行うことができ、これによりリソグラフィプロセスを高精度に行うことができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態による二重ダマシンプロセスを示す断面図。

【図2】図1に続くプロセスを示す断面図。

【図3】図2に続くプロセスを示す断面図。

【図4】本発明の第2の実施の形態による浅いトレンチ

分離プロセスを示す断面図。

【図5】図4に続くプロセスを示す断面図。

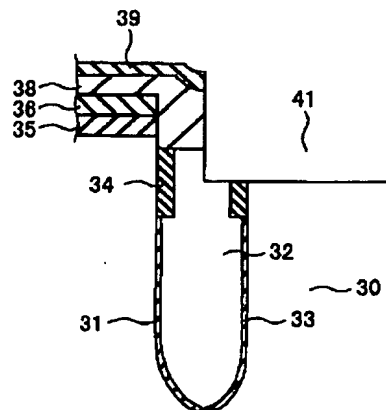
【図6】図5に続くプロセスを示す断面図。

【図7】従来の二重ダマシンプロセスの幾つかの工程を示す断面図。

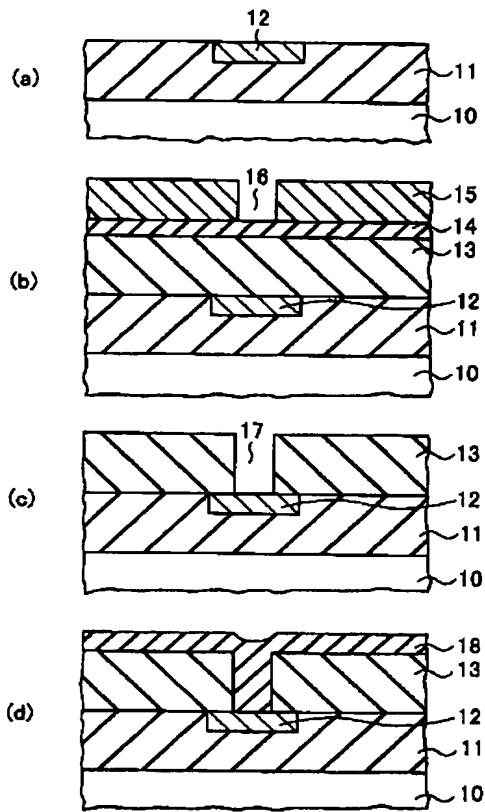
【符号の説明】

- 10…基板、
- 11…第1の絶縁膜、
- 12…導電配線、
- 13…第2の絶縁膜、
- 14…反射防止被覆膜（ARC膜）、
- 15…レジスト膜、
- 16…開口部、
- 17…コンタクト孔、
- 18…流動可能な酸化膜、
- 19…反射防止被覆膜（ARC膜）、
- 20…レジスト膜、
- 21…開口部、
- 22…トレンチ、
- 23…接着／バリア層、
- 24…タングステン層、
- 30…シリコン半導体基板、
- 31…深いトレンチ、
- 32…トレンチ充填剤、
- 33…記憶ノード絶縁膜、
- 34…カラー酸化膜、
- 35…パッドシリコン酸化膜（ $\text{SiO}_2$ 膜）、
- 36…パッドシリコン窒化膜（ $\text{Si}_3\text{N}_4$ 膜）、
- 37…開口部、
- 38…流動可能な酸化膜、
- 39…ARC膜、
- 40…レジスト膜、
- 41…浅いトレンチ。

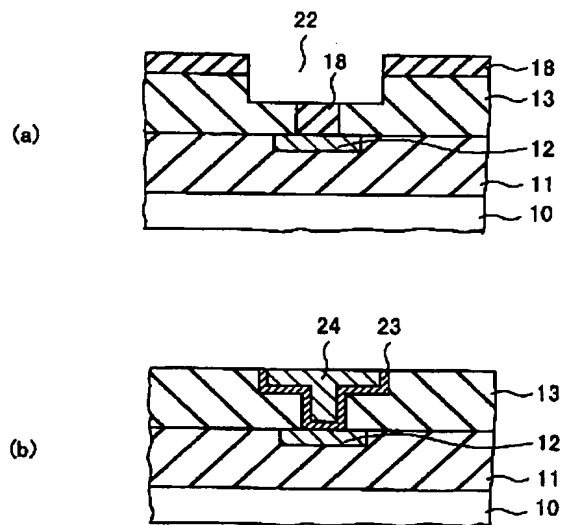
【図6】



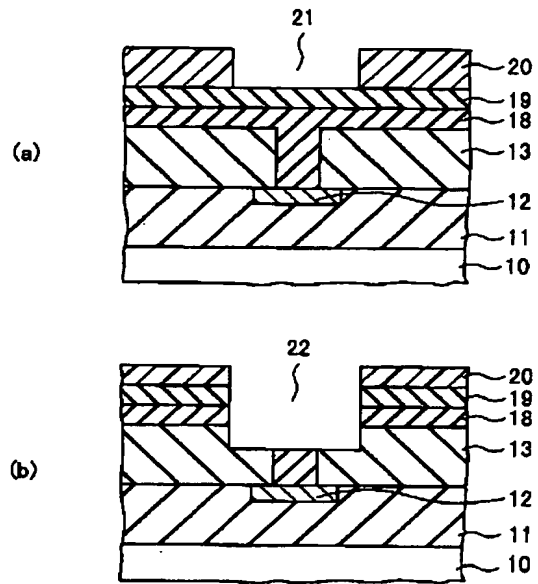
【図 1】



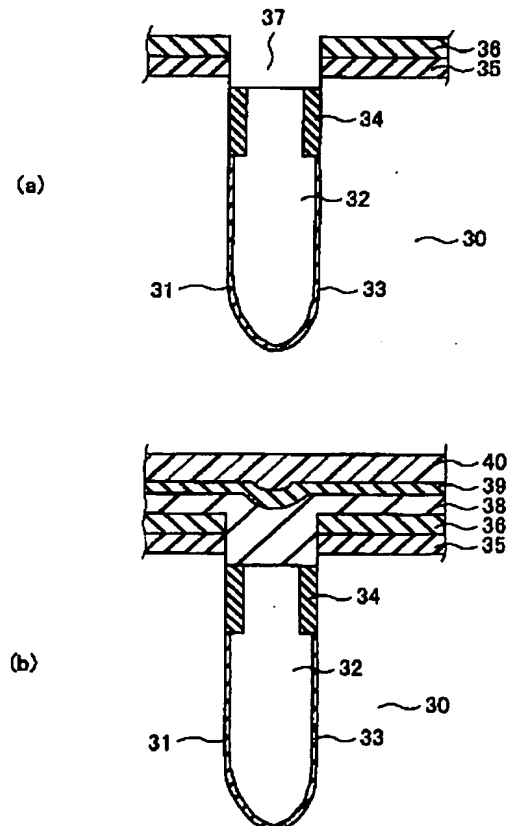
【図 3】



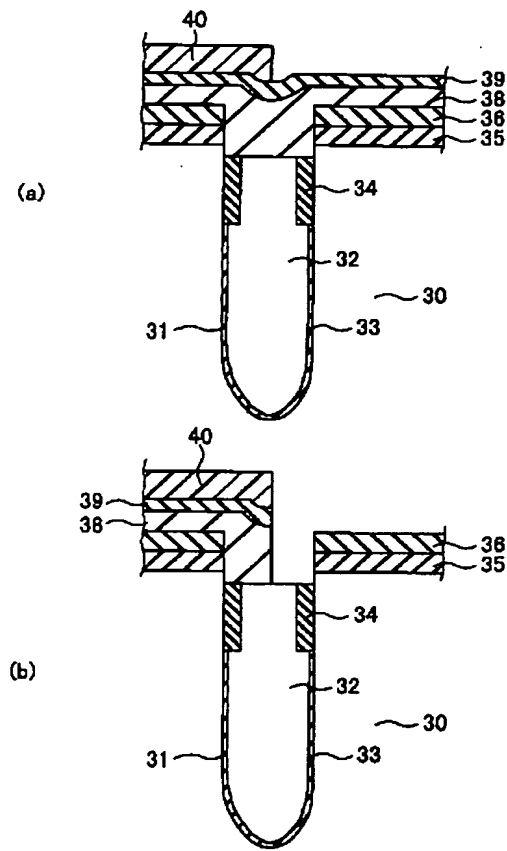
【図 2】



【図 4】



【図 5】



【図 7】

